Міністерство освіти і науки України

Національний технічний університет України

«Київський політехнічний інститут»

Кафедра КЕОА

**Лабораторна робота №1**

**з курсу: «Апаратні прискорювачі обчислень на мікросхемах програмованої логіки»**

Виконав:

студент ІII-го курсу ФЕЛ

група ДК-02

Мачковський Д.В.

25.10.2022

Київ-2022

**Хід роботи**

1. **В Simulink реалізувати підсистему, що розраховує функцію:**

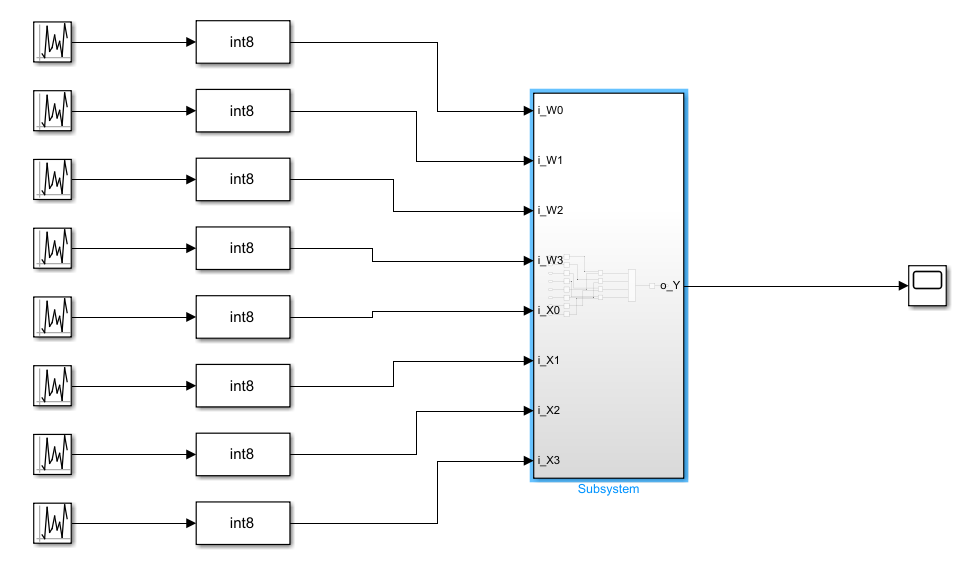
Y = W0\*X0 + W1\*X1 + W2\*X2 + W\*X3

Типи даних входів: int8

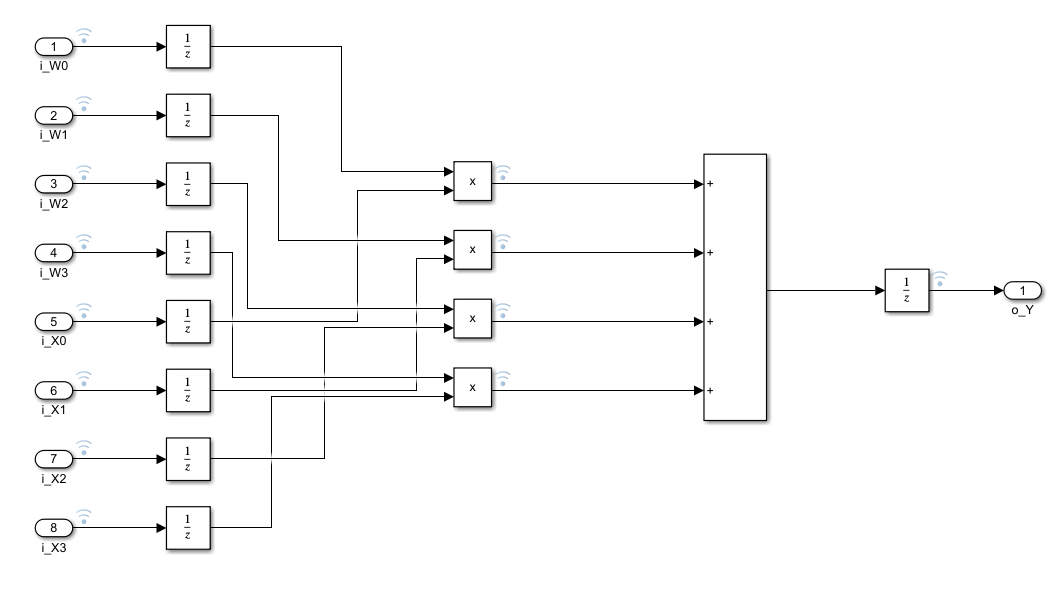
Тип даних виходу: int16

На входах і виході поставити регістри (блок затримки на 1 такт)

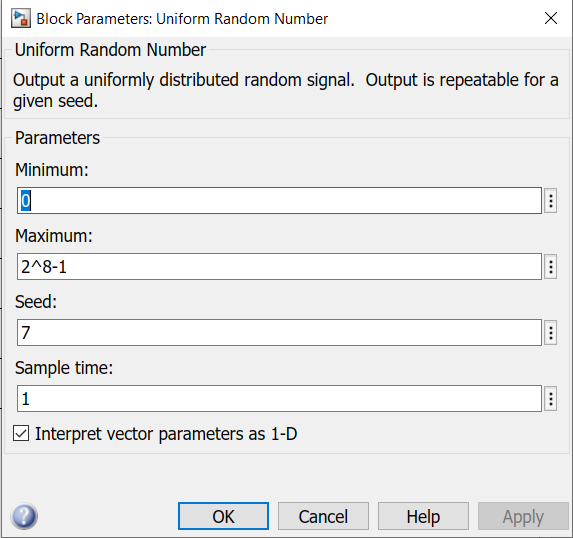
Схема має наступний вигляд:



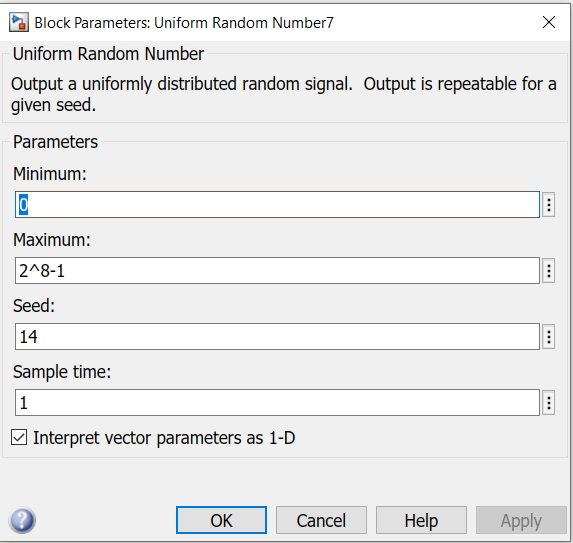
Вигляд всередині блоку Subsystem:



Налаштування першого Uniform Random number:



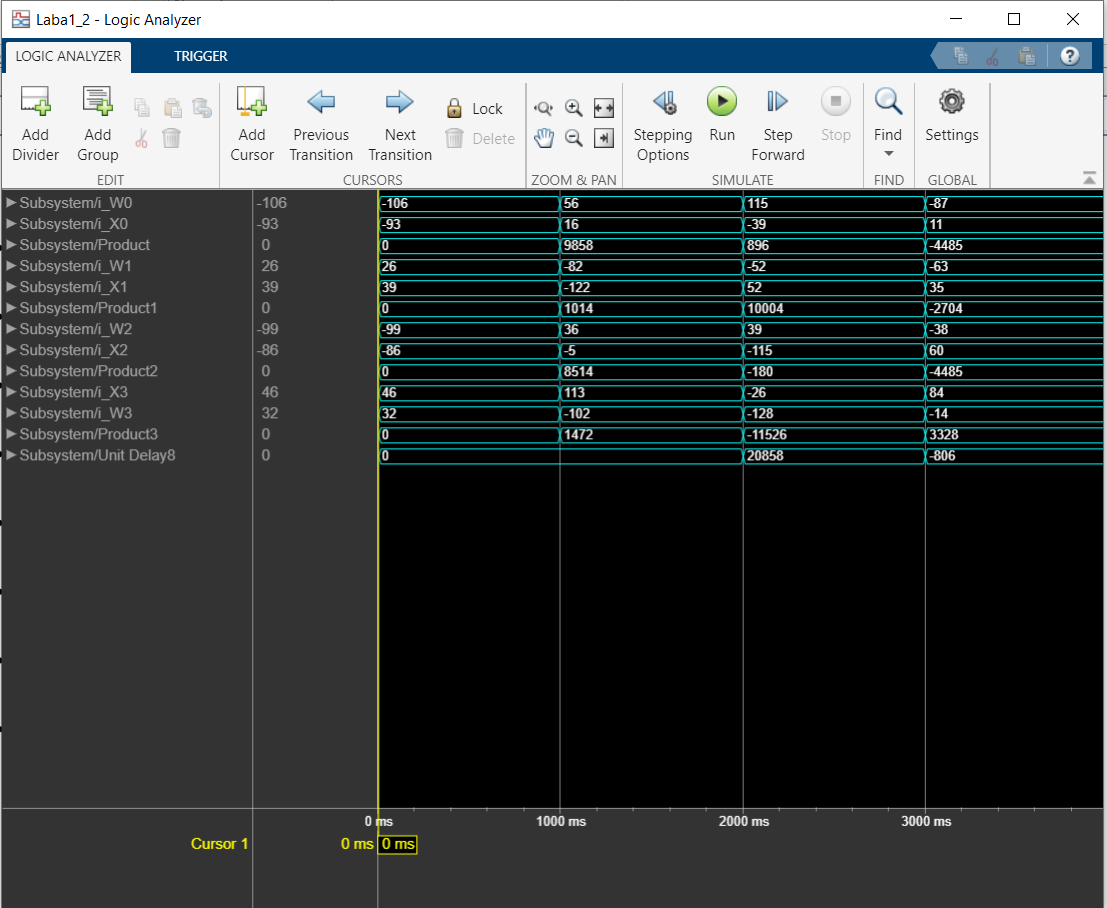
Налаштування останнього Uniform Random number:



Параметр seed починається з 7 і далі збільшується з кількістю uniform random number. Всі інші налаштування були задані на основі параметрів які вказані в методичних матеріалах і їх можна буде продивитися в надісланому проекті.

**2. В логічному аналазаторі переглянути дані на входах і на виході створеної підсистеми у знаковому десятковому поданні (форматі).**

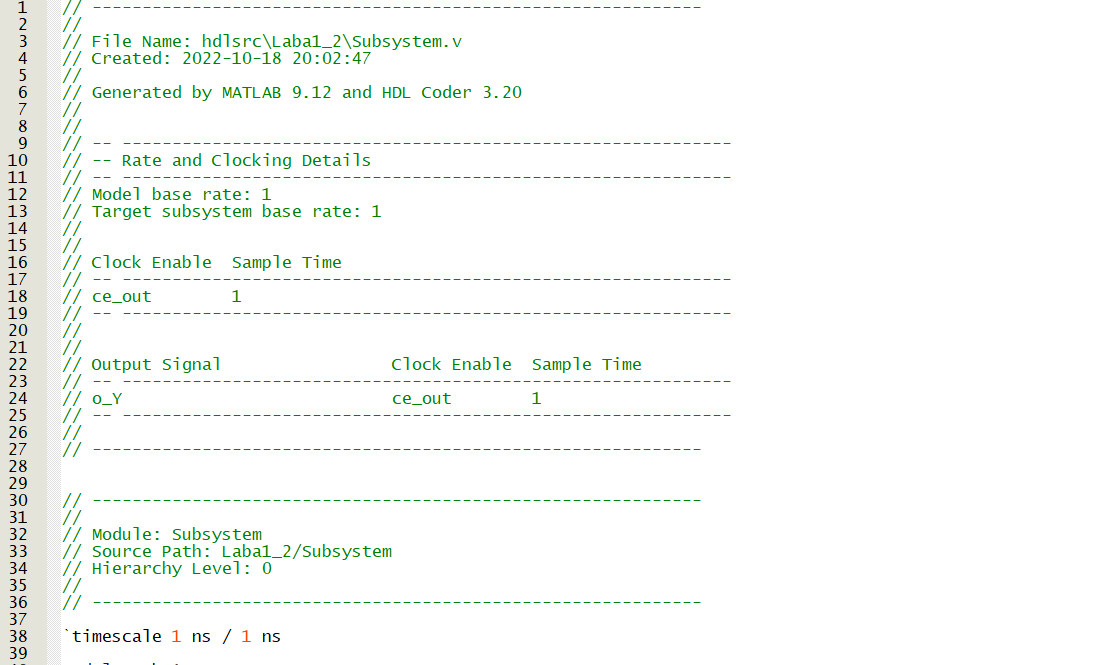
Результат виглядає наступним чином:

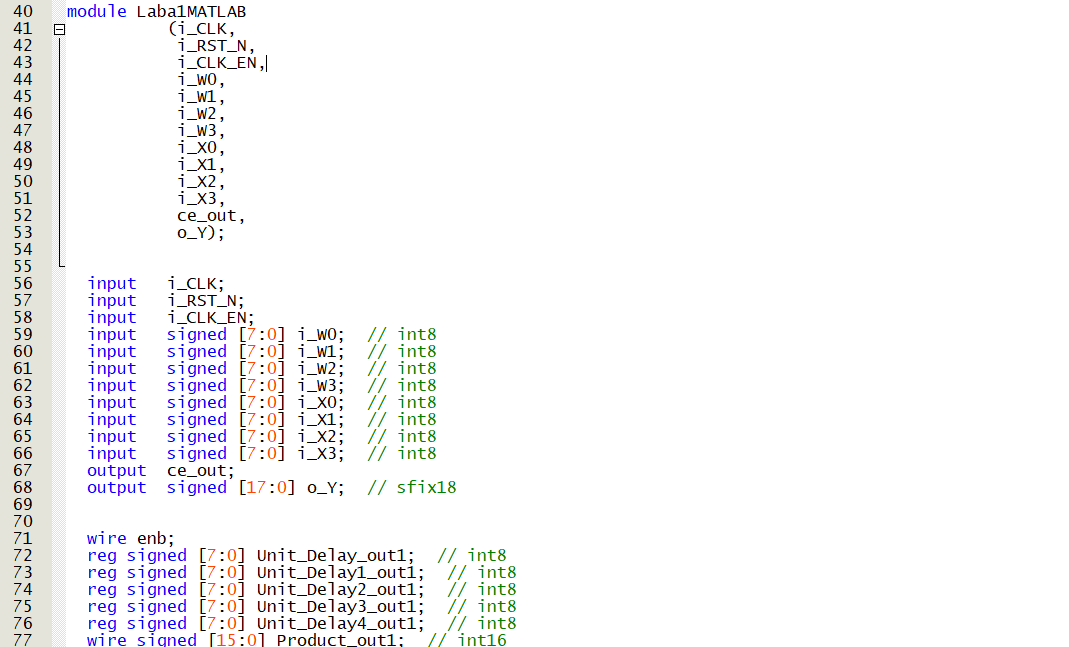


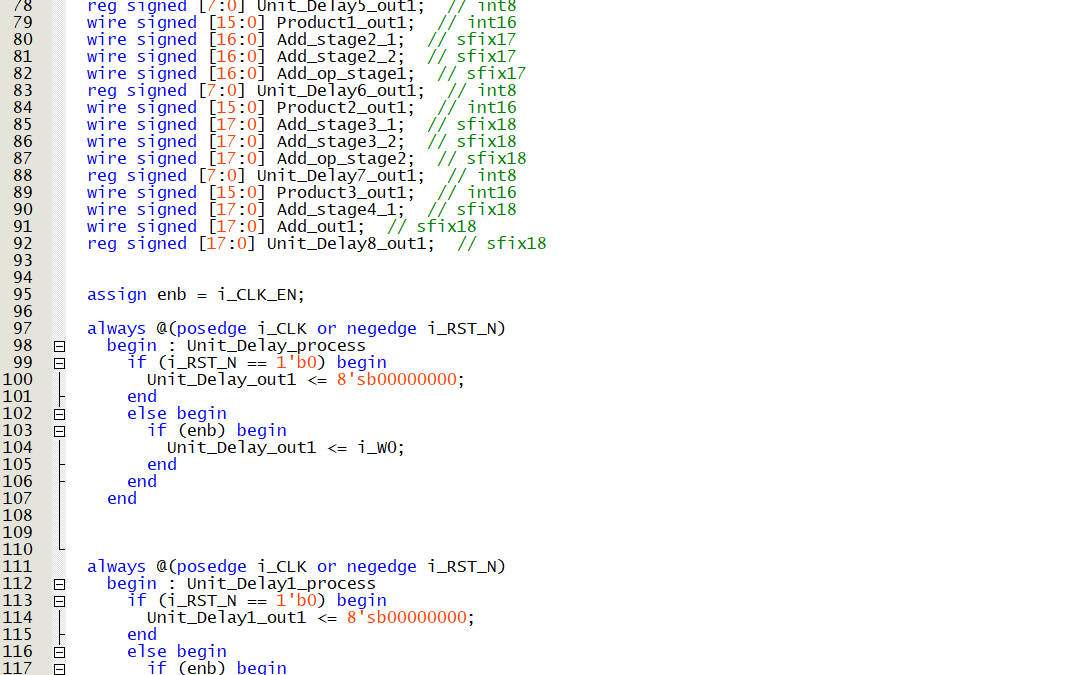
Для контролю результатів були встановлені Log Select Signal після блоків множення також (Subsystem/Product), З чого можна прикладом побачити, що добуток Subsystem/\_iW0 і Subsystem/i\_X0 -106\*-93 = 9858. Аналогічно перевіряються інші W і X. Далі йде сума чотирьох Subsystem/Product, який, перевіривши, дає правильні результати.

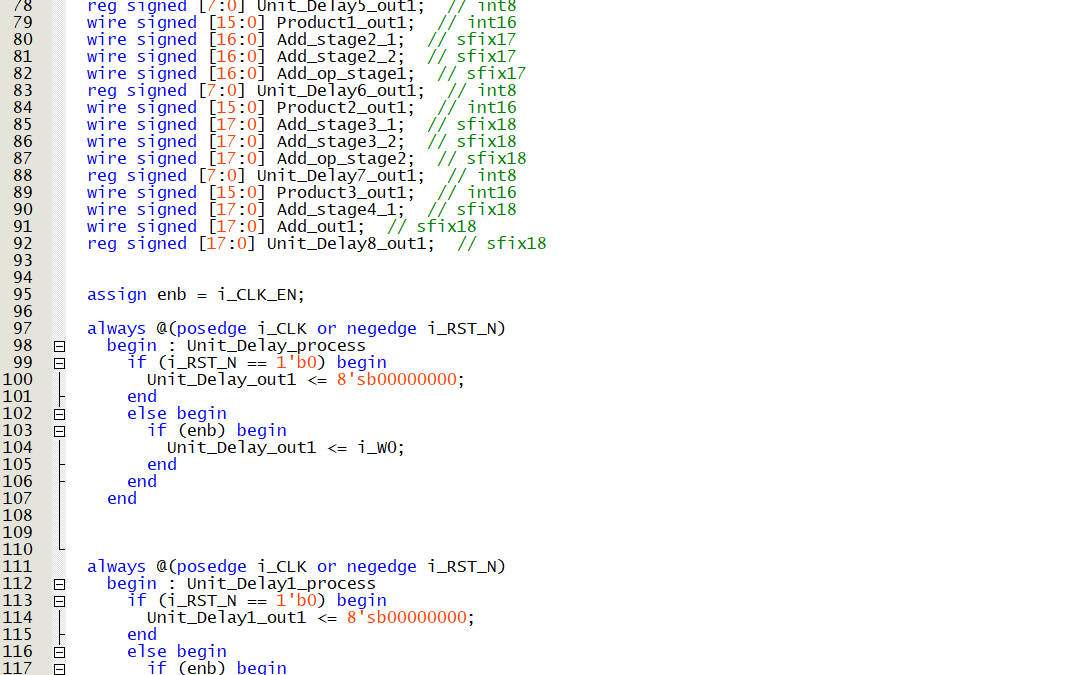
**3. Додати у звіт згенерований код на Verilog та результат синтезу згенерованого коду в Quartus для створеної підсистеми (звіт по апаратним витратам, результат виклику RTL Viewer).**

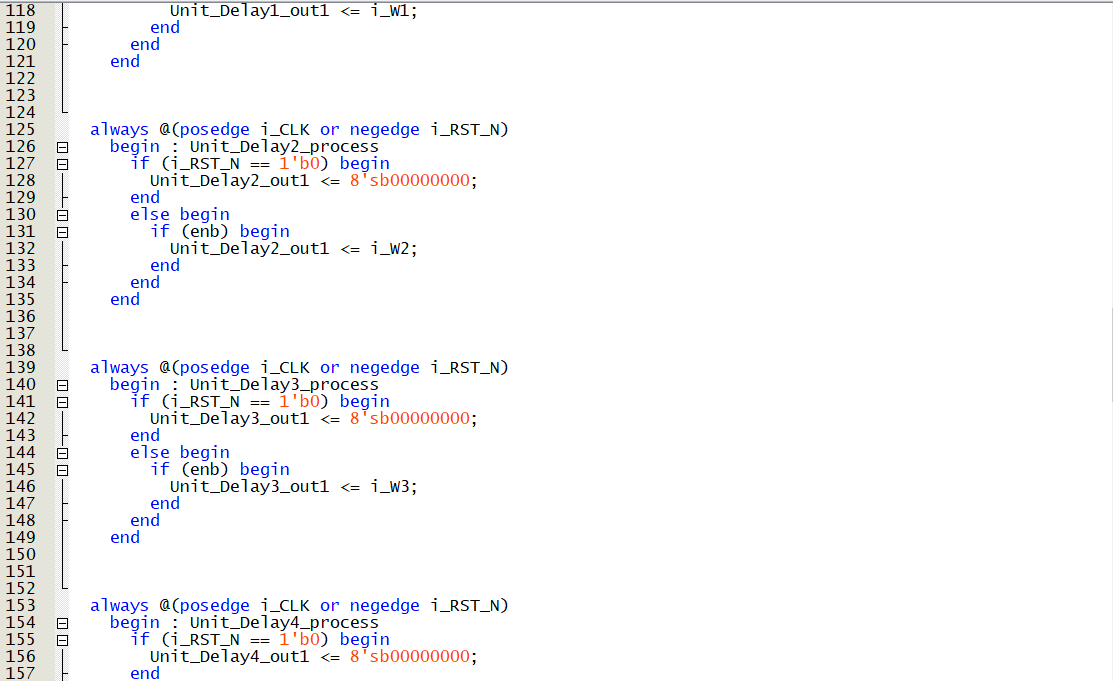
Згенерований Verilog код має наступний вигляд:

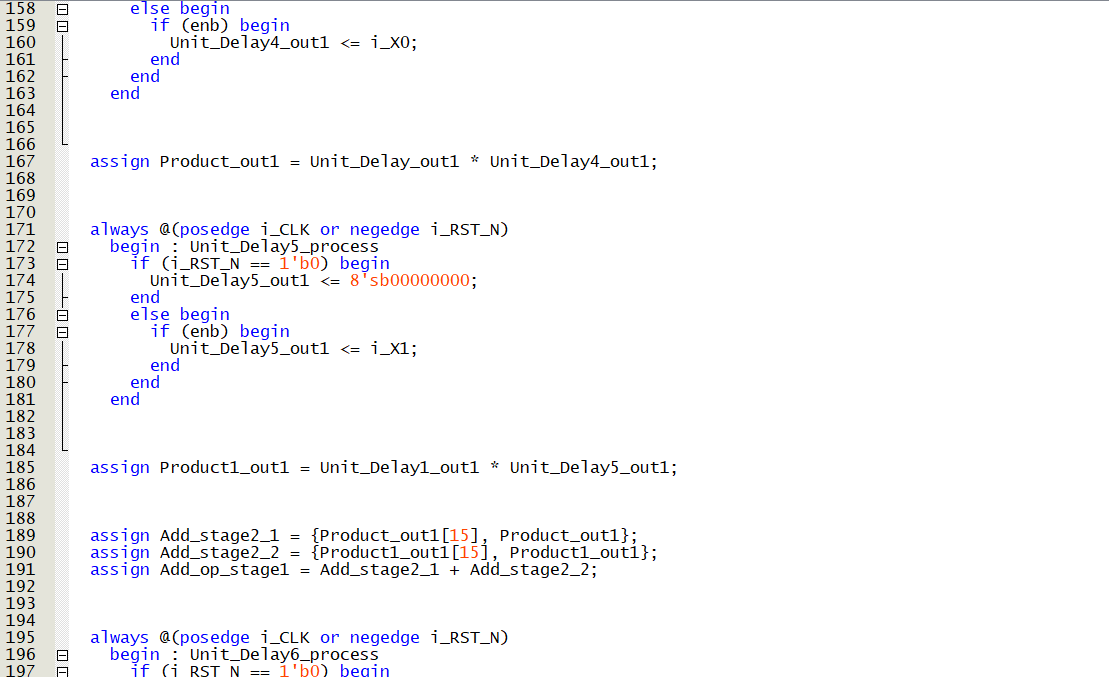
****

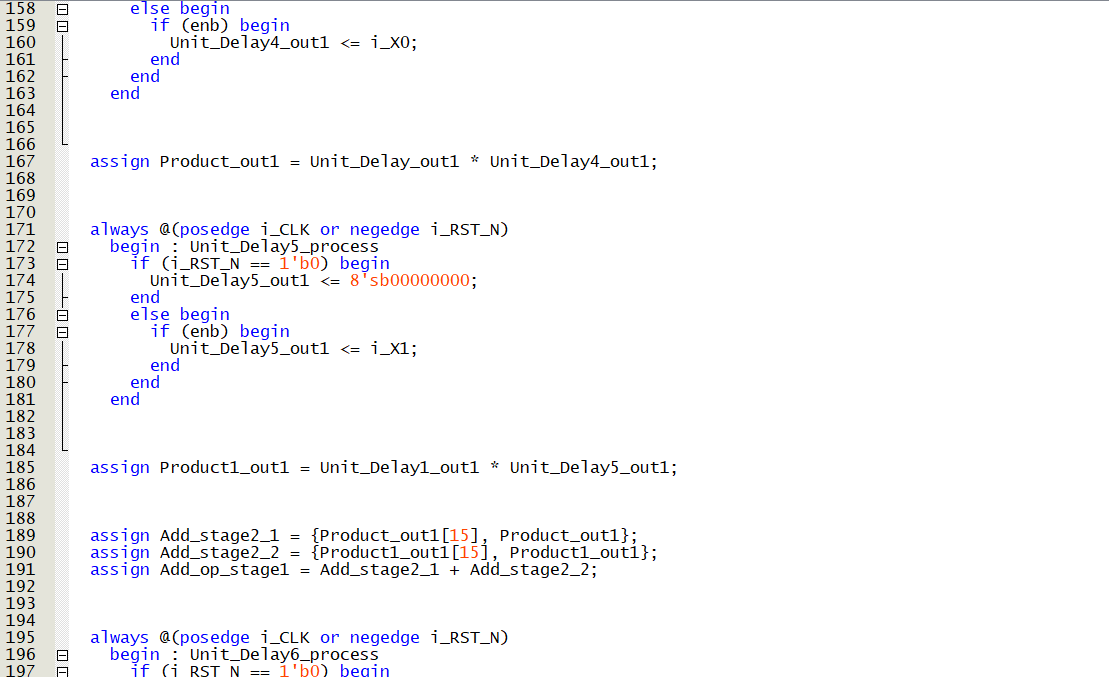
****

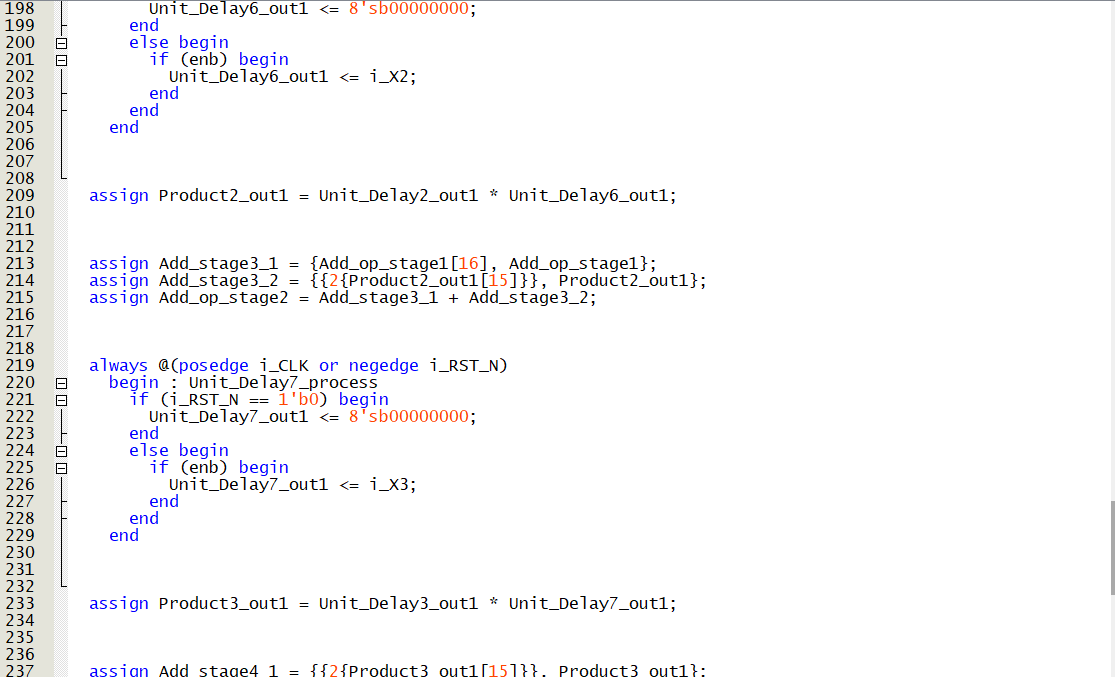
****

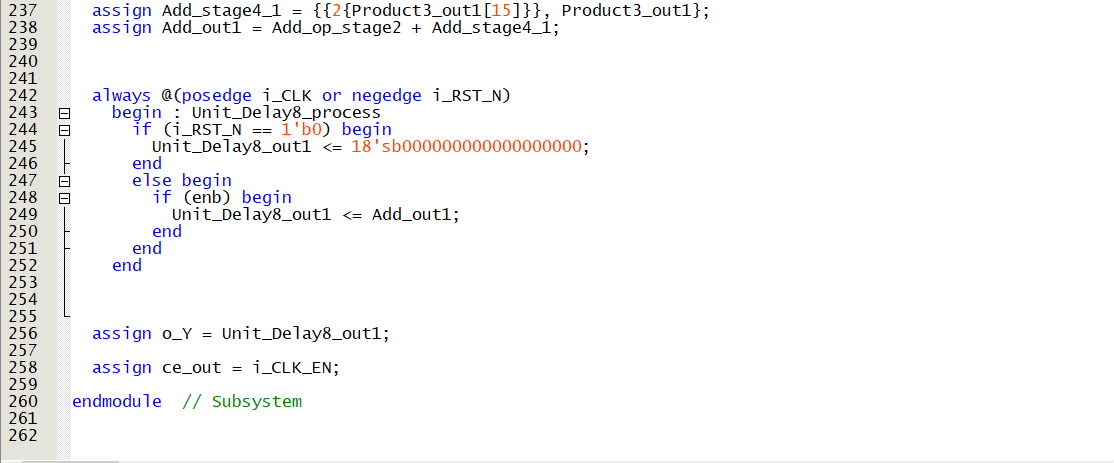
****

****

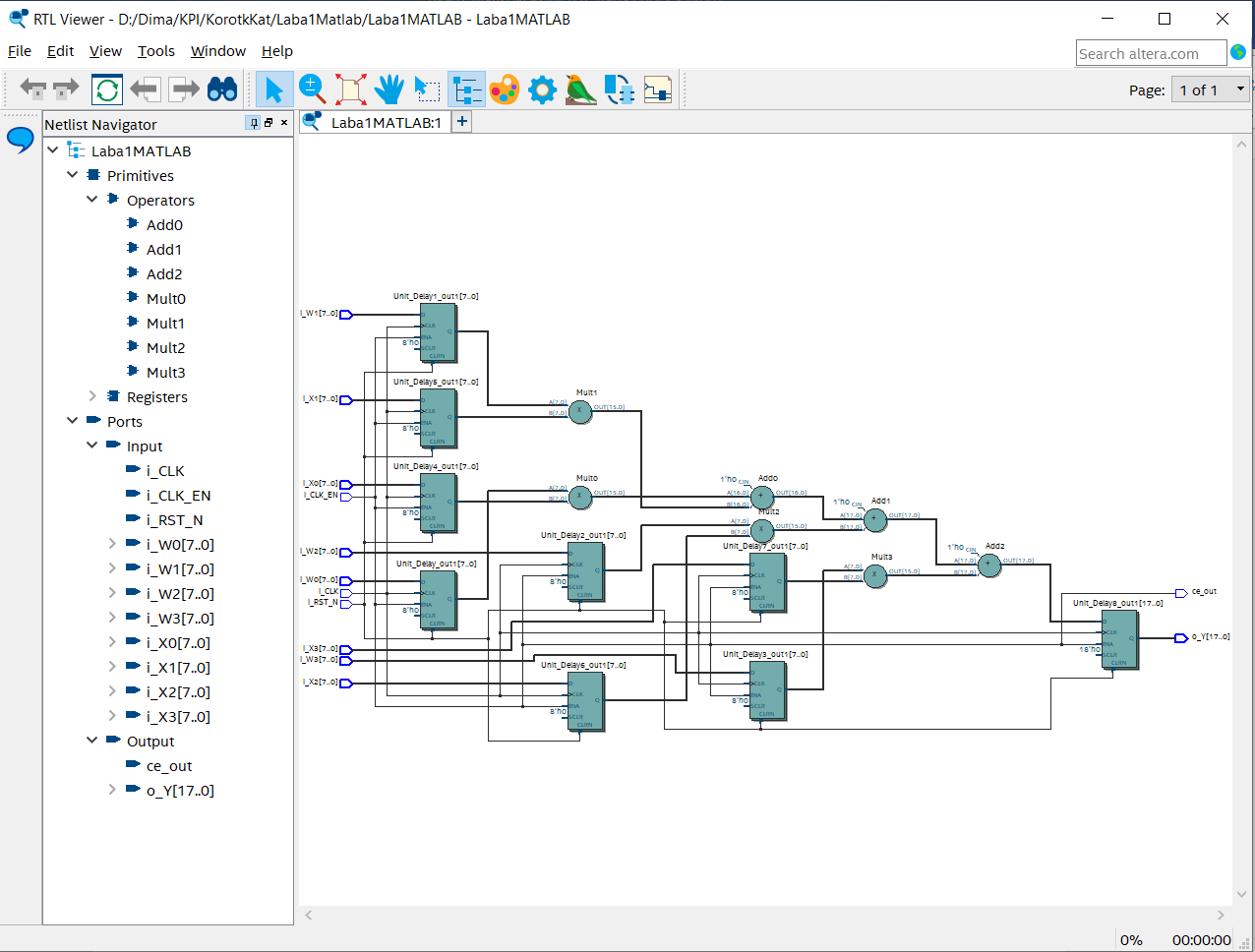
****

****

****

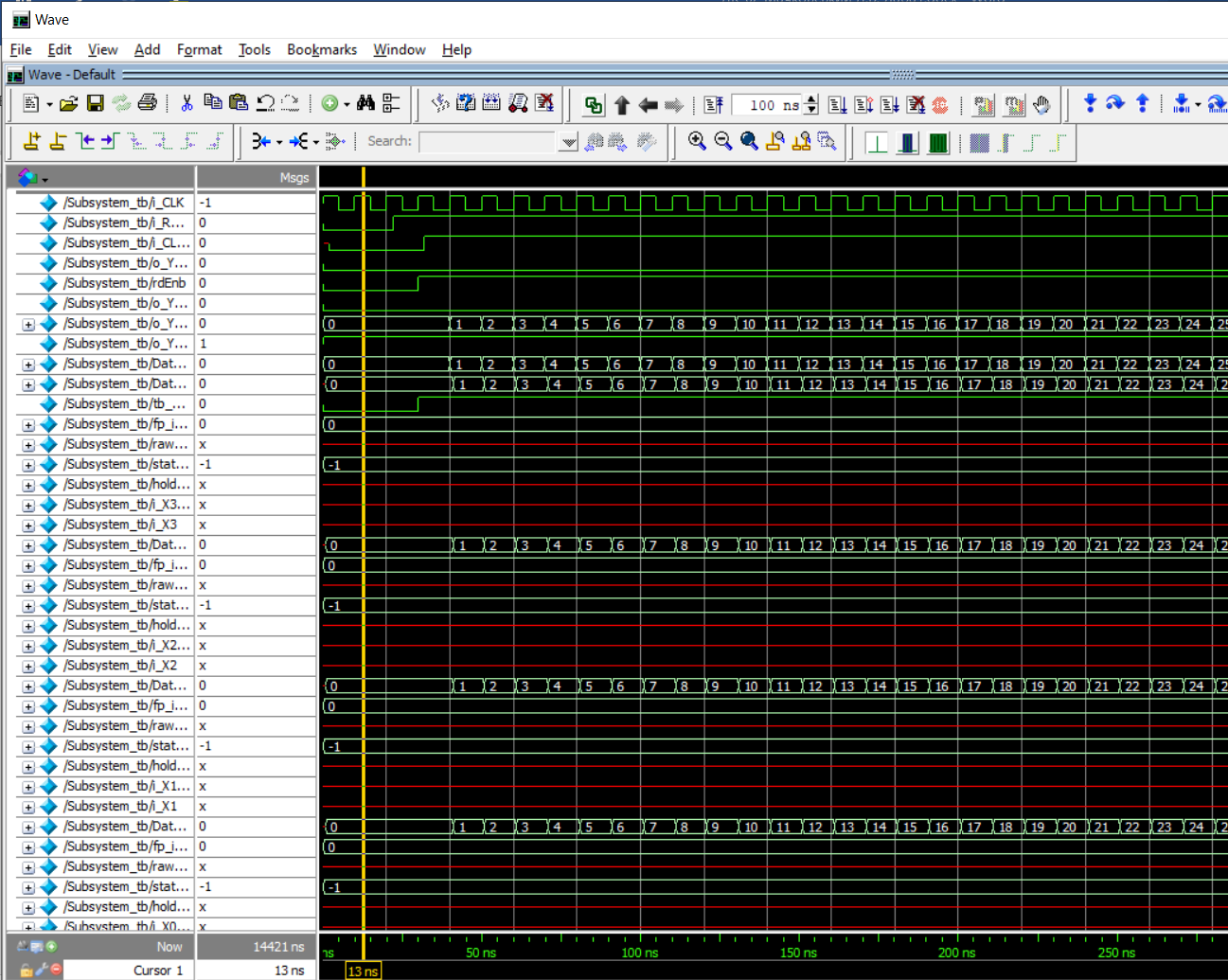
****

Результат синтезу в RTL Viewer:



**5. Створити тестбенч в Matlab для створеної підсистеми і додати в звіт результат симуляції тестбенча в Modelsim/Questasim.**

Результат симуляції створеного тестбенчу:

****